

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Requested Patent: JP4174019A

Title: ALTERNATION PROCESSING METHOD OF ACCESSOR CONTROL PART ;

Abstracted Patent: JP4174019 ;

Publication Date: 1992-06-22 ;

Inventor(s): OCHI YOSHIAKI ;

Applicant(s): FUJITSU LTD ;

Application Number: JP19900298311 19901102 ;

Priority Number(s): ;

IPC Classification: G06F3/06 ;

Equivalents:

ABSTRACT:

PURPOSE: To eliminate the need to issue a move instruction again by providing a common memory that plural accessor control means access in common, writing control information by one accessor control means and reading this control information by another accessor control means, and alternating the control of an accessor mechanism part when the operation disability of the former is detected.

CONSTITUTION: One accessor control means 8 which is instructed to control the accessor mechanism part 1 writes the control information for controlling the accessor mechanism part 1 or 2 in the common memory 7 that the accessor control means 8 and 9 access in common and the other accessor control means 9 reads the written control information. The accessor control means 9 when detecting the operation disability of the accessor control means 8 alternates the control over the accessor mechanism 1 or 2 according to the control information read out of the common memory 7. Consequently, a main control means 6 reports a job failure to a host device and a new move instruction need not be received from the host device, so that the throughput of a computer system is prevented from decreasing.

⑫ 公開特許公報(A) 平4-174019

⑮ Int. Cl.⁵

G 06 F 3/06

識別記号

3 0 1 Z

庁内整理番号

7232-5B

⑬ 公開 平成4年(1992)6月22日

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 アクセッサ制御部の交代処理方法

⑯ 特 願 平2-298311

⑰ 出 願 平2(1990)11月2日

⑱ 発 明 者 越 智 芳 明 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

アクセッサ制御部の交代処理方法

2. 特許請求の範囲

複数の記録媒体を格納する複数のセル(1)〜(n)と、該記録媒体に対するデータの記録/再生を行う複数の記録再生部(2)と、該記録媒体を運搬する複数のアクセッサ機構部(3)(4)と、該アクセッサ機構部(3)(4)を制御する複数のアクセッサ制御手段(5)(6)と、上位装置の指示に基づき該アクセッサ制御手段(5)(6)を制御する主制御手段(7)とを備え、予め定められた順位によって選択された該アクセッサ制御手段に、該アクセッサ機構部を制御させて、指定されたセルと指定された記録再生部との間の該記録媒体の運搬を行わせる大容量記憶装置において、

該複数のアクセッサ制御手段(5)(6)が共通にアクセスする共用メモリ(8)を設け、

該共用メモリ(8)に前記アクセッサ機構部の制御

を指示された一つのアクセッサ制御手段が制御情報を書込み、他のアクセッサ制御手段が該書込まれた制御情報を読み取って、該一つのアクセッサ制御手段が動作不能となったことを検出した時、該読み取った制御情報に基づいて該アクセッサ機構部の制御を交代するようにしたことを特徴とするアクセッサ制御部の交代処理方法。

3. 発明の詳細な説明

(概要)

一つのアクセッサ制御部が動作不能となった場合、上位装置の介入無しで、アクセッサ機構部の運搬制御を他のアクセッサ制御部が継続して実行するアクセッサ制御部の交代処理方法に関し、

ムーブ命令の再発行を不要にすることを目的とし、

複数の記録媒体を格納する複数のセルと、該記録媒体に対するデータの記録/再生を行う複数の記録再生部と、該記録媒体を運搬する複数のアクセッサ機構部と、該アクセッサ機構部を制御する

複数のアクセッサ制御手段と、上位装置の指示に基づき該アクセッサ制御手段を制御する主制御手段とを備え、予め定められた順位によって選択された該アクセッサ制御手段に、該アクセッサ機構部を制御させて、指定されたセルと指定された記録再生部との間の該記録媒体の運搬を行わせる大容量記憶装置において、該複数のアクセッサ制御手段が共通にアクセスする共用メモリを設け、該共用メモリに前記アクセッサ機構部の制御を指示された一つのアクセッサ制御手段が制御情報を書込み、他のアクセッサ制御手段が該書込まれた制御情報を読取って、該一つのアクセッサ制御手段が動作不能となったことを検出した時、該読取った制御情報に基づいて該アクセッサ機構部の制御を交代する構成とする。

〔産業上の利用分野〕

本発明は計算機システムの外部記憶装置に用いられ、記録媒体の運搬を行う複数のアクセッサ機構部と該アクセッサ機構部を制御する複数のア

クセッサ機構部とを備えた大容量記憶装置に係り、特に一つのアクセッサ制御部が動作不能となった場合、上位装置の介入無しで運搬処理を他のアクセッサ制御部が継続して実行することを可能とするアクセッサ制御部の交代処理方法に関する。

近年、計算機システムにおける情報量の大量化に伴い、この情報の保管手段として、オペレータの介入を不要とする自動化された大容量記憶装置が各種提供されている。

この大容量記憶装置は多数の磁気テープカートリッジや光ディスクカートリッジ等の記録媒体を収容する収容棚を設け、この収容棚に設けられた記録媒体を格納する複数のセルに、夫々記録媒体を格納しておき、メカニカルハンドを備えたアクセッサ機構部が必要な記録媒体を収容棚のセルから取り出し、記録再生部に搬送してセットし、データの書込み／読出しを行わせ、このデータの書込み／読出しが完了すると、再び記録再生部から記録媒体を取り出して、収容棚のセルに搬送して収納すると共に、上位装置からの指示により不要

となった記録媒体を排出口に搬送してオペレータに取り出させ、オペレータが投入口に入れた記録媒体を記録再生部に搬送してセットするか、又はセルに搬送して格納する一種の自動倉庫として構成されている。

このように、大容量記憶装置は倉庫の一種として作成され、一旦必要とする記録媒体が収容された後は、オペレータの介入を必要とせずに、複数のアクセッサ機構部が記録媒体の運搬を行うが、このアクセッサ機構部を制御するアクセッサ制御部の障害発生等によって運搬処理が中断されても、計算機システムの介入無しで継続して運搬処理を実行し得ることが必要である。

〔従来の技術〕

第5図は大容量記憶装置の構成例を説明する図である。

大容量記憶装置の構成は第5図に示す如く、矢印Aの方向を左側とし、矢印Bの方向を右側とすると、左端にはアクセッサ機構部（以後ACC機

構部と略す）1の格納庫であるLAUがあり、このLAUには保守セルが設けられている。

このLAUに隣接してセルの数を増加させる場合に設置される増設架のE₁があり、このE₁に隣接して磁気テープ装置（以後MTUと略す）が例えば4台設けられたCSUがあり、このCSUに隣接してセルの数を増加させる場合に設置される増設架のE₂があり、このE₂に隣接して更にセルの数を増加させる場合に設置される増設架のE₃が設置され、このE₃には操作盤が設けられている。

そして、このE₃に隣接して磁気テープカートリッジを投入したり排出するための投入排出機構部（以後CASと略す）3と保守セルと操作盤を備えたアクセッサ機構部2の格納庫であるRAUが設置されている。

そして、これらの架の背面には、計算機システムのチャンネルの如き上位装置からの命令により、MTUやACC機構部1、2を制御するDIR制御部と、このDIR制御部の制御により、ACC

機構部1又は2を夫々制御するACC制御部4と5が設置されている。

大容量記憶装置は、このように構成されているため、ACC機構部1又は2が矢印A又はBの方向に移動する際の案内をするレールが、LAU、E₁、CSU、E₂、E₃及びRAUの間を貫通して設けられている。

大容量記憶装置には、計算機システムから磁気テープカートリッジを運搬させるため、ACC機構部の移動元と移動先が指定されて、ジョブ実行を指示するムーブ命令が送出される。このムーブ命令を受信したDIR制御部は、例えば、ACC機構部1の運搬動作順位が主で、ACC機構部2の運搬動作順位が副であるとする、常にACC制御部4に指示してACC機構部1に運搬動作を行わせる。

即ち、DIR制御部は、計算機システムから指定された、例えばセルの位置とMTUの位置を指定して、ACC制御部4にACC機構部1の制御を指示する。

IR制御部に送出し、DIR制御部はACC制御部5に指示してACC機構部2を動作させ、ジョブ実行を再開させる。

(発明が解決しようとする課題)

上記の如く従来は、ACC制御部5を備えているにもかかわらず、ACC制御部4の障害が回復しない場合、計算機システムにジョブ失敗を報告し、新たにムーブ命令を送出させているため、計算機システムの負担となって、計算機システムの処理効率を低下させるという問題がある。

本発明はこのような問題点に鑑み、ACC制御部4と5が共にアクセスすることが可能な共用メモリを設け、この共用メモリにACC制御部4が書込んだ情報をACC制御部5が読出して、ACC制御部4が障害となった時、計算機システムにジョブ失敗を報告せず、ACC制御部5にジョブ実行のための制御を交代させ、ムーブ命令の再実行を不要にすることを目的としている。

従って、ACC機構部1は、DIR制御部から指定されたセルより磁気テープカートリッジを取り出して運搬し、指定されたMTUにセットする。そして、このMTUで書き込み/読出しが完了すると、この磁気テープカートリッジをMTUから取り出して元のセルに運搬して格納する動作を行う。

又、CAS3の投入口に磁気テープカートリッジが投入されると、投入口に投入された磁気テープカートリッジを取り出し、DIR制御部から指定されたセルの位置に運搬して格納するか、又は指定されたMTUに運搬してセットする。

又、DIR制御部から指定されたセル又はMTUから磁気テープカートリッジを取り出して運搬し、CAS3の排出口にセットしてオペレータに取り出させる。

DIR制御部は、ACC制御部4の電源供給が停止したり、ACC制御部4にリトライを行っても回復不能の障害が発生した場合、計算機システムにジョブ失敗を通知する。

従って、計算機システムは再びムーブ命令をD

(課題を解決するための手段)

第1図は本発明の原理を説明するブロック図である。

大容量記憶装置は、複数の記録媒体を格納する複数のセル12～15と、この記録媒体に対するデータの記録/再生を行う複数の記録再生部10、11と、この記録媒体を運搬する複数のアクセッサ機構部1、2と、このアクセッサ機構部1、2を制御する複数のアクセッサ制御手段8、9と、上位装置の指示に基づき、このアクセッサ制御手段8、9を制御する主制御手段6とを備えている。

そして、主制御手段6は予め定められた順位によって選択された、例えば、アクセッサ制御手段8に、アクセッサ機構部1又は2を制御させて、上位装置から指定された、例えばセル12と、上位装置から指定された、例えば記録再生部10との間の記録媒体の運搬を行わせる。

この時、アクセッサ機構部1の制御を指示された一つのアクセッサ制御手段8は、複数のアクセッサ制御手段8及び9が共通にアクセスする共用

メモリ7に対し、アクセッサ機構部1又は2を制御するための制御情報を書込み、他のアクセッサ制御手段9が、この書込まれた制御情報を読取る。

そして、アクセッサ制御手段9は、アクセッサ制御手段8が動作不能となったことを検出した時、共用メモリ7から読取った制御情報に基づいて、アクセッサ機構部1又は2の制御を交代して実行する。

〔作用〕

上記の如く構成することにより、アクセッサ制御手段8に障害が発生した時、直ちにアクセッサ制御手段9がアクセッサ制御手段8が制御していたアクセッサ機構部1又は2の制御を引き継ぐため、主制御手段6は上位装置にジョブ失敗を報告して、上位装置から新たなムーブ命令を受ける必要が無く、計算機システムの処理効率低下を防止することが出来る。

ムーブ命令実行中を示す制御フラグと、ACC機構部1の移動元と移動先を示すアドレスと、前記の実行シーケンス番号と、ACC機構部1の制御中であることを第3図に示す如く書込む。

第3図は共用メモリの内容を説明する図である。

共用メモリ7には、ムーブ命令実行中は制御フラグ欄には論理“1”が記録され、ムーブ命令実行中で無ければ、論理“0”が記録される。

又、アドレス欄には、例えば上位装置から指示されたACC機構部の移動元がセルで、移動先がMTUであるとすれば、セル番号とMTU番号が記録される。

そして、ARC17がAMC19に送出する実行シーケンス番号欄には、シーケンスコードが記録される。このシーケンス番号はACC機構部1の移動に伴って更新されるが、例えば、ACC機構部1を第5図に示すレール上を矢印B方向に移動させるとか、指定されたセル位置に到達したら停止させ、メカニカルハンドを指定されたセルに対向させるとか、磁気テープカートリッジを把持

〔実施例〕

第2図は本発明の一実施例を示す回路のブロック図である。

DIR制御部16は、チャンネルの如き上位装置からのムーブ命令により、例えば、予め定められた順位の高いアクセッサ制御部（以後ARCと略す）17に対し、ムーブ命令を送出する。

即ち、アクセッサメカ制御部（以後AMCと略す）19又は20を経て、ACC機構部1又は2の動作を制御するARC17に対し、例えば、ACC機構部1又は2が何処から何処へ移動するか、即ち、移動元と移動先を指示するアドレスを送出して、ACC機構部1又は2の移動を指示する。

従って、ARC17は上位装置から指定された移動元と移動先のアドレスに従い、例えば、予め定められた順位の高いAMC19を選択して、ACC機構部1が動作するために必要な情報として、番号順にシーケンスをAMC19に送出し、ACC機構部1の移動制御を行わせる。

この時、ARC17は、共用メモリ7に対し、

させる等、ACC機構部1の一区切りずつの動作を指示するシーケンス毎の番号が記録され、終了すると次の動作を指示するシーケンスの番号がコードとして記録される。

そして、ACC機構部欄にはACC機構部1が制御されていることを示す「1」が記録される。

ARC17はAMC19又はACC機構部1に障害が発生してリトライしても復旧せず、ACC機構部1が動作不能となると、AMC20を経てACC機構部2を制御し、ACC機構部1を第5図に示すLAUに排除した後、磁気テープカートリッジの運搬を継続させるが、この場合共用メモリ7のACC機構部欄には、ACC機構部2が制御されていることを示す「2」が記録される。

ARC18は、共用メモリ7を常にアクセスして、ARC17が書込む情報を読出し、制御フラグ欄が論理“1”となると、図示省略した電源供給状態を通知する信号線を経て、ARC17に供給される電源状態を調べる。

そして、ARC17の電源供給が停止した時は、

共用メモリ7の制御フラグ欄が論理“1”であることから、ACC機構部制御中に電源断となったことを認識し、共用メモリ7のACC機構部欄に「1」が記録されていると、ACC機構部1を制御中であることを認識し、アドレス欄からACC機構部1の移動先を認識し、実行シーケンス番号欄のシーケンスコードから、ACC機構部1が次に実行すべきシーケンスを決定すると、このシーケンスをAMC19に送出して、直ちにARC17の代わりにACC機構部1の制御を継続して実行する。

又、共用メモリ7の制御フラグ欄が論理“1”であるが、実行シーケンス番号欄のシーケンス番号が、所定の時間経過しても変更されない場合、ARC17に障害が発生したと判定し、ACC機構部欄が「1」であれば、実行シーケンス番号欄のシーケンスコードから、ACC機構部1の動作状態を認識して、直ちにARC17の代わりにACC機構部1の制御を継続する。

ARC18はARC17の制御を交代する時、

ップ⑤で完了報告が受信されるのを待つ。

ステップ⑤でシーケンスの実行完了が報告されると、ステップ⑥で最終シーケンスまで実行したか調べ、最終シーケンスまで実行された場合は、ステップ①の処理に戻り、最終シーケンスまで実行されていない場合は、ステップ⑦でACC機構部1を制御中か調べ、制御中であればステップ⑧の処理に移行し、ACC機構部1でなくACC機構部2を制御中であれば、ステップ⑧で共用メモリ7のACC機構部欄を更新して、「2」とする。

そして、ステップ⑨で共用メモリ7の実行シーケンス番号欄のシーケンスコードを更新した後、ステップ④の処理に戻る。

又、ステップ⑩で異常が発生していると、ステップ⑪でDIR制御部16に報告した後、ステップ⑫でAMC20が制御可能か調べ、AMC20が制御可能であれば、ステップ④の処理に戻り、AMC20の制御が不可能であればDIR制御部16に報告する。

予め定められた順位の低いARC18は、ステ

DIR制御部16に交代を報告し、DIR制御部16は上位装置にARC17の障害発生を通知するが、ムーブ命令に対する異常終了報告は行わない。

第4図は第2図の動作を説明するフローチャートである。

予め定められた順位の高いARC17は、ステップ①でDIR制御部16からのムーブ命令の受信を待っており、ムーブ命令を受信すると、ステップ②でAMC19を選択する。

そして、ステップ③で共用メモリ7に対し第3図に示す如く、制御フラグとアドレスと実行シーケンス番号とACC機構部番号を記録すると、ステップ④で選択したAMCに実行すべきシーケンスと、このシーケンス実行を指示するムーブ命令を送出する。

そして、ステップ⑤でムーブ命令完了か調べる。即ち、AMC19から指定したシーケンスの実行完了報告を待ち、報告が無ければステップ⑩で異常発生か調べ、異常が発生していなければ、ステ

ップ⑤で共用メモリ7のアクセスを行い、ステップ⑥で制御フラグ欄が論理“1”となったか調べる動作を繰り返し、制御フラグ欄が論理“1”となると、ステップ⑦でARC17の電源はオンか調べ、オンであればステップ⑧で、共用メモリ7の実行シーケンス番号欄のシーケンスコードが所定の時間内に更新されたか調べる。

所定の時間内にシーケンスコードが更新されると、ARC18はステップ⑤の処理に戻り、ステップ⑥で電源がオンからオフになるか、ステップ⑧でシーケンスコードの更新が所定の時間経過しても更新されない場合、ARC17の代わりにACC機構部1の制御を継続するため、ステップ⑨でDIR制御部16に報告し、ステップ⑩で共用メモリ7のACC機構部番号と、アドレスと、シーケンスコードとを読み出し、ステップ⑪で読み出したシーケンスコードから次に実行すべきシーケンスを決定し、ステップ④の処理に移行する。

即ち、既に送出済のシーケンス番号の次のシーケンス番号とムーブ命令を、選択したAMCに送

出する。

DIR制御部16はステップ④で、AMC19と20が異常で動作不能であることを報告された場合は、上位装置にムーブ命令に対する異常終了を報告するが、その他の異常報告については障害発生のみを報告する。

(発明の効果)

以上説明した如く、本発明は一つのARCに障害が発生した時、直ちに他のARCがアクセッサ機構部の制御を引き継ぐため、DIR制御部は上位装置にジョブ失敗を報告して、上位装置から新たなムーブ命令を受ける必要が無く、計算機システムの処理効率低下を防止することが出来る。

4. 図面の簡単な説明

第1図は本発明の原理を説明するブロック図、

第2図は本発明の一実施例を示す回路のブロック図、

第3図は共用メモリの内容を説明する図、

第4図は第2図の動作を説明するフローチャート、
第5図は大容量記憶装置の構成例を説明する図である。

図において、

1,2 はアクセッサ機構部、3 は投入排出機構部、
4,5,17,18 はアクセッサ制御部、

6 は主制御手段、7 は共用メモリ、

8,9 はアクセッサ制御手段、

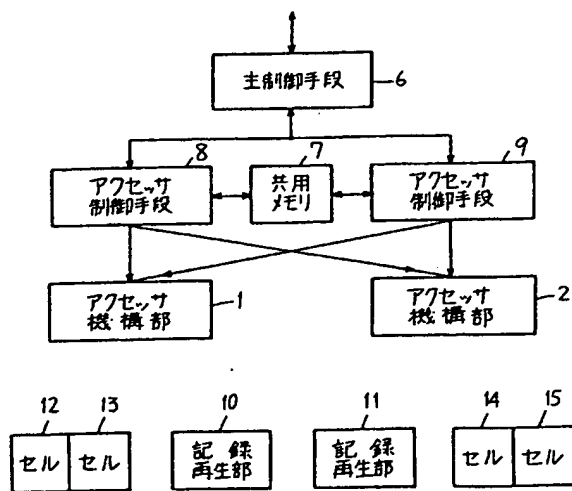
10,11 は記録再生部、12~15はセル、

16はDIR制御部、

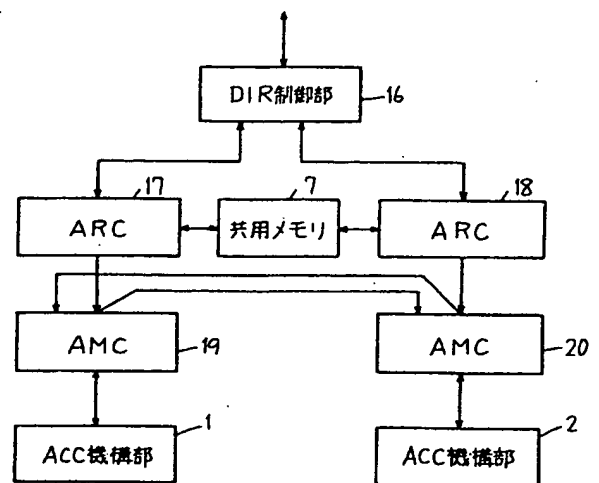
19,20 はアクセッサメカ制御部である。

代理人弁理士

井桁貞一



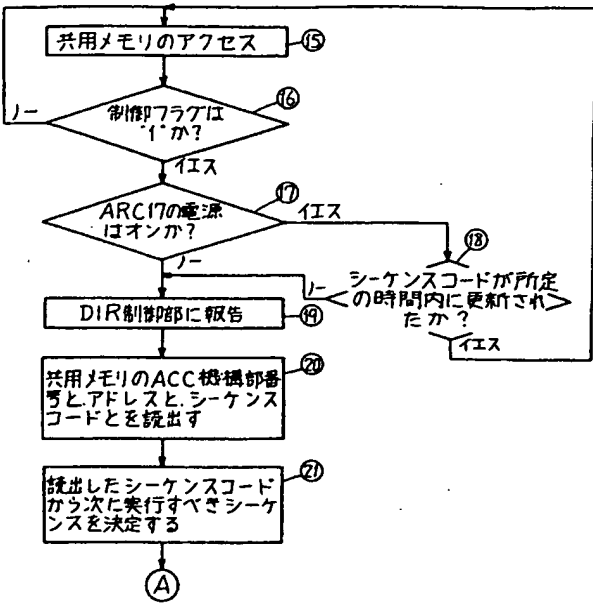
本発明の原理を説明するブロック図
第1図



本発明の一実施例を示す回路のブロック図
第2図

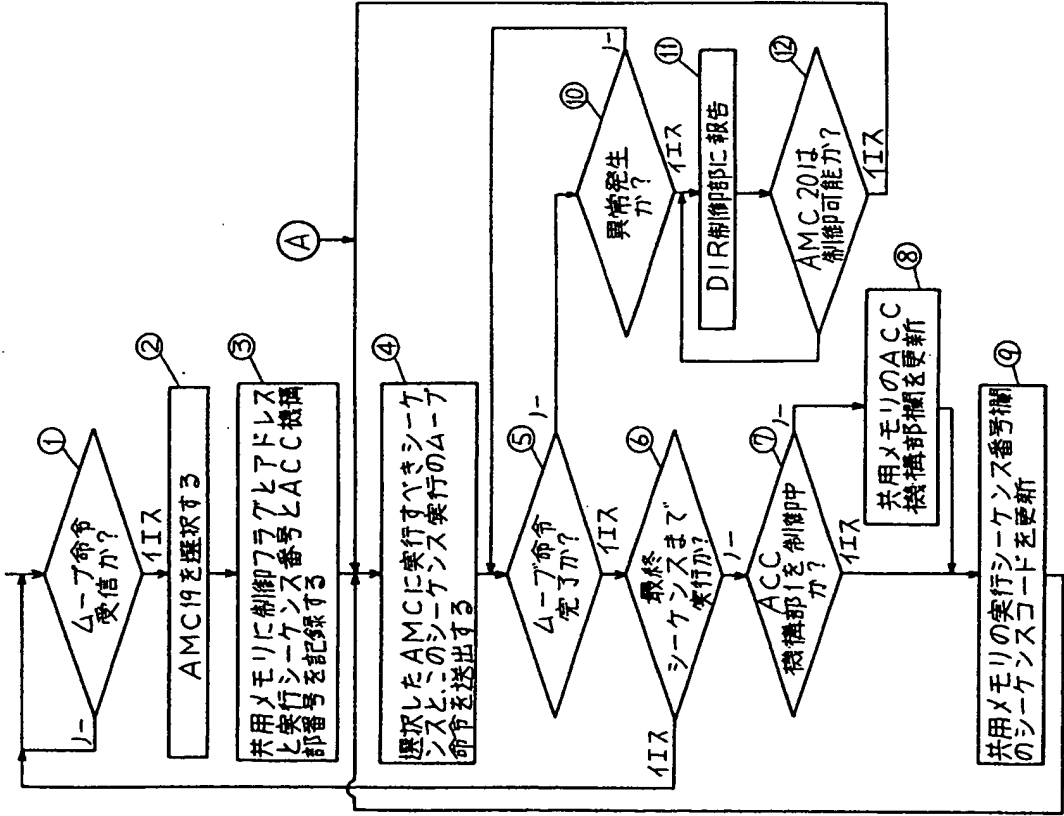
制御フラグ	“1”
アドレス	セル番号—MTU番号
実行シーケンス番号	シーケンスコード
ACC機構部	“1”

共用メモリの内容を説明する図
第3図

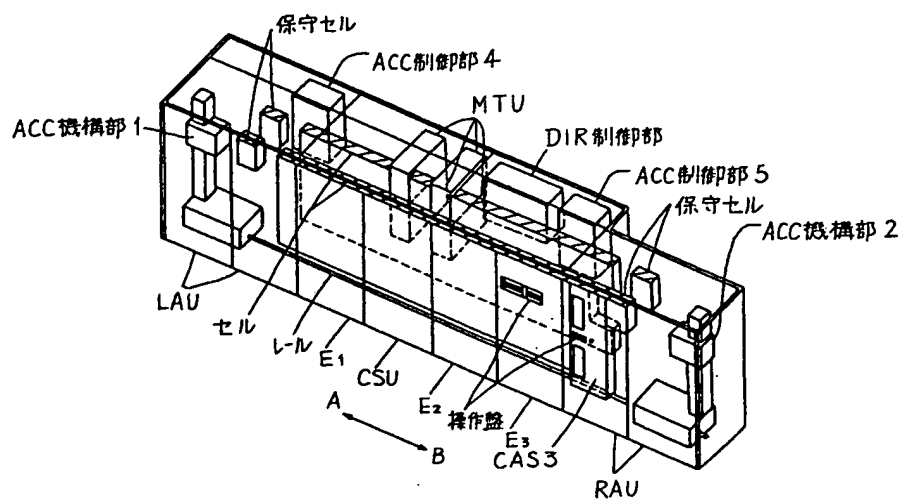


(b)

第2図の動作を説明するフローチャート
第4図(その2)



第2図の動作を説明するフローチャート
第4図(その1)



大容量記憶装置の構成例を説明する図
第5図